

Semiconductor component used in e.g. mobile phone, mobile information unit, has intermediate connection which couples electrodes on semiconductor component to connection electrodes of resin component

Publication number: DE10045043

Publication date: 2001-04-05

Inventor: SUMIKAWA MASATO (JP); TANAKA KAZUMI (JP); SATO TOMOTOSHI (JP)

Applicant: SHARP KK (JP)

Classification:

- International: H01L23/12; H01L21/56; H01L23/485; H01L23/12;
H01L21/02; H01L23/48; (IPC1-7): H01L23/50;
H01L21/60

- European: H01L23/485B

Application number: DE20001045043 20000912

Priority number(s): JP19990258460 19990913

Also published as:



US6441500 (B1)

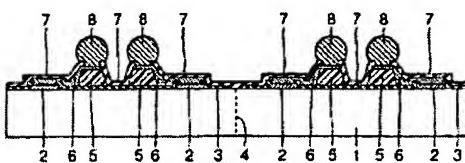


JP2001085560 (A)

[Report a data error here](#)

Abstract of DE10045043

Number of electrodes (2) are arranged on a semiconductor chip (1). A resin component (5) with the connection electrodes is provided and separated from the electrodes on the semiconductor chip. The electrodes on the semiconductor chip are connected to the connection electrodes of the resin component via an intermediate connection (6). An Independent claim is also included for a semiconductor component manufacturing method.



Data supplied from the esp@cenet database - Worldwide



(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

(12) **Offenlegungsschrift**
(10) **DE 100 45 043 A 1**

(51) Int. Cl.⁷:
H 01 L 23/50
H 01 L 21/60

(21) Aktenzeichen: 100 45 043.1
(22) Anmeldetag: 12. 9. 2000
(23) Offenlegungstag: 5. 4. 2001

DE 100 45 043 A 1

(30) Unionspriorität:
P 11-258460 13. 09. 1999 JP
(11) Anmelder:
Sharp K.K., Osaka, JP
(14) Vertreter:
Patentanwälte MÜLLER & HOFFMANN, 81667 München

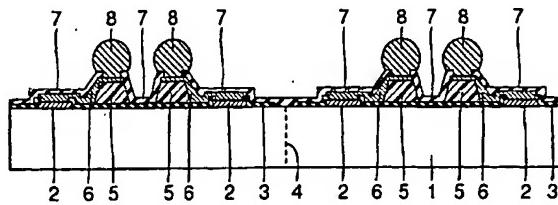
(72) Erfinder:
Sumikawa, Masato, Kashihara, Nara, JP; Tanaka, Kazumi, Tenri, Nara, JP; Sato, Tomotoshi, Tsuchiura, Ibaraki, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- (54) Halbleiterbauteil und Verfahren zu dessen Herstellung
(55) Es wird ein Halbleiterbauteil (21) mit Folgendem angegeben:
- auf dem Chip befindlichen Elektroden (2);
- Harzelementen (5), die gesondert voneinander entsprechend den mehreren Elektroden für Verbindung nach außen vorhanden sind; und
- Zwischenverbindungen (6), von denen jede eine Elektrode auf dem Chip mit einer entsprechenden Elektrode für Verbindung nach außen verbindet.

Derartig gesondert hergestellte Harzelemente für die Elektroden für Verbindung nach außen erlauben einen Abbau thermischer Spannungen, die durch diese Elektroden erzeugt werden.



DE 100 45 043 A 1

Beschreibung

Die Erfindung betrifft Halbleiterbauteile und Verfahren zu deren Herstellung, und spezieller betrifft sie eine Struktur eines Halbleiterbauteils, die einen Abbau von Spannungen nach der Montage ermöglicht, sowie ein Herstellverfahren für ein solches Bauteil.

In den letzten Jahren existiert zunehmender Bedarf an kompakteren und leichteren elektronischen Komponenten, wie Mobiltelefonen und mobilen Informationsanlagen, und demgemäß schrillt die Miniaturisierung und dichtere Integration von Halbleiterbauteilen schnell fort. Zu diesem Zweck erfolgten verschiedene Vorschläge. Ein Vorschlag betrifft die Montage eines nackten Chips, wobei ein LSI (Large Scale Integration)-Chip unmittelbar auf einer Leiterplatte montiert wird. Ein anderer Vorschlag besteht darin, ein Halbleiterbauteil mit einer sogenannten Gehäusestruktur von Chipgröße (CSP = Chip Size Package) zu versehen, bei der die Form des Halbleiterbauteils dergestalt ist, dass sie zur Miniaturisierung so nahe wie möglich derjenigen eines LSI-Chips folgt. Bei einem Halbleiterbauteil mit derartiger CSP-Struktur wird die Anordnung von Umfangselektroden, wie sie mit derjenigen bei einem normalen LSI-Chip übereinstimmt, durch einen Lötsschritt in eine Flächenarray-Elektrodenanordnung umgewandelt, die zum Erhöhen der Anzahl der Stifte von Vorteil ist.

Die Fig. 1A-1C zeigen ein Beispiel eines Halbleiterbauteils, wie es beim herkömmlichen Montieren eines nackten Chips verwendet wird. Wie in Fig. 1A dargestellt, besteht das Halbleiterbauteil 21 aus einem nackten Chip 22 und mehreren Anschlussteilen 24. Wie in Fig. 1B dargestellt, wird der nackte Chip 22 über Verbindungsteile 24 mit Elektroden 25a auf einer gedruckten Leiterplatte 25 verbunden. Bei dieser Struktur werden jedoch aufgrund der Wärmeexpansionsdifferenz zwischen dem nackten Chip 22 und der gedruckten Leiterplatte 25 große thermische Spannungen erzeugt, und in bekannter Weise werden dadurch die Verbindungssteile 24 unzuverlässig.

Daher wird, wie es in Fig. 1C dargestellt ist, der Zwischenraum 27 zwischen der Unterseite des nackten Chips 22 und der Oberfläche der gedruckten Leiterplatte 25 im Allgemeinen mit einem Harz 26 gefüllt (was als "Unterfüllen" bezeichnet wird), um die in den Verbindungsteilen 24 auftretenden thermischen Spannungen abzubauen. Ein derartiges Unterfüllen des Zwischenraums 27 zwischen der Unterseite des nackten Chips 22 und der Oberfläche der gedruckten Leiterplatte 25 erschwert jedoch die Reparatur des Chips 22 in extremer Weise. Demgemäß kann die in den Fig. 1A-1C dargestellte Struktur eines Halbleiterbauteils zwar höchste Miniaturisierung und extrem dichte Montage ermöglichen, jedoch fand sie aus verschiedenen Gründen keine weite Verbreitung, wie z. B.: Kostenerhöhung wegen zusätzlicher Schritte zum Einbringen und Aushärten des Harzes 26; geringerer Freiheitsgrad, da die Reparatur des Chips 22 im Wesentlichen unmöglich ist; sowie schwierige Handhabung des nackten Chips 22 selbst. Daher bestand Bedarf an einem Halbleiterbauteil, das Montage mit so hoher Dichte wie bei der Montage eines nackten Chips ermöglicht, das mit den niedrigsten Kosten realisiert werden kann und das Zuverlässigkeit nicht nur als bloßes Bauteil, sondern auch nach der Montage gewährleistet.

Um diesen Forderungen zu genügen, wurden verschiedene Erfindungen offenbart. Zum Beispiel ist die in Fig. 2 veranschaulichte und in JP-A-6-177134 offenbare Erfindung auf eine Kontakthöckerstruktur einer elektronischen Komponente gerichtet. Diese verfügt über eine Anschluss-elektrode 32 auf einem IC-Chip 31, eine Isolierschicht 33, Barrieremetallschichten 34, 35 und 36, die die Anschluss-

elektrode 32 bedecken, ein Lotkontakthöcker 37, eine Überzugsschicht 38 und eine zwischen der Anschluss-elektrode 32 und der Barriemetallschicht 34 ausgebildete Harzschiht 41, die so wirkt, dass sie thermische Spannungen abbaut, um dadurch die Zuverlässigkeit zu erhöhen.

Die in den Fig. 3A und 3B veranschaulichte und in JP-A-10-12619 sowie JP-A-10-79362 offenbare Erfindung ist auf ein Halbleiterbauteil mit einem Substrat 36, einem auf diesem angeordneten Kontakthöcker 52, einer diesen dicht umschließenden Harzschiht und einen externen Anschlusskontakthöcker 50, der auf der aus der Harzschiht 53 herausragenden Spitze des Kontakthöckers 52 ausgebildet ist, gerichtet. Der Kontakthöcker 52 ist durch die Harzschiht 53 dicht umschlossen, und demgemäß werden am Übergang 15 zwischen einer Elektrode auf dem Substrat 56 und dem externen Verbindungskontakthöcker 50 erzeugte Spannungen abgebaut, was die Zuverlässigkeit verbessert.

Die in den Fig. 4A-4C dargestellte und in JP-A-8-102466 offenbare Erfindung verfügt über einen Wafer 60, einen diesen bedeckenden Passivierungsfilm 62, einen auf dem Wafer 60 ausgebildeten Elektrodenkontaktfleck 61, eine Aluminiumzwischenverbindung 64, die so ausgebildet ist, dass sie eine Verbindung zum Elektrodenkontaktfleck 61 herstellt, und die sich innerhalb des Halbleiterchipbereichs erstreckt, 20 eine auf der Aluminiumzwischenverbindung 64 hergestellte Nickelplatte 65, einen die gesamte Oberfläche des Wafers 60 bedeckenden Überzugsfilm 66 und einen Lotkontakthöcker 68, der in einer die Oberfläche der Nickelplatte 65 freiliegenden Öffnung ausgebildet ist.

Die in Fig. 5 veranschaulichte und in JP-A-2924923 offenbare Erfindung verfügt über einen Halbleiterchip 70, eine flexible Zuleitung 73, die einen auf dem Chip befindlichen Elektrodenkontaktfleck 71 und eine Elektrode 72 nach außen verbindet, eine flexible Folieneinlage 64, die zwischen der Elektrode 72 nach außen und dem Chip 70 angeordnet ist, ein in der Folieneinlage 74 geöffnetes Loch 76, das der auf dem Chip befindlichen Elektrode 72 entspricht, und ein Versiegelungsmittel 75 zum Auffüllen des Lochs 76. Spannungen, wie sie nach der Montage des Halbleiterbauteils auf einer gedruckten Leiterplatte 77 über die externe Elektrode 72 aufgrund der Wärmeexpansionsdifferenz zwischen der Leiterplatte 77 und dem Chip 70 auftreten, werden unter Ausnutzung der Flexibilität der Folieneinlage 74, der Zuleitung 73 und des Versiegelungsmittels 75 abgebaut, 35 wodurch die Zuverlässigkeit verbessert ist.

Zwar wurden die in den Fig. 2-5 veranschaulichten herkömmlichen Techniken zum Verbessern der Zuverlässigkeit durch Minimieren von im Verbindungsteil erzeugten thermischen Spannungen und zum Verbessern der Handhabung im Vergleich zum Flip-Chip-Bondvorgang (Anschlüsse auf der Rückseite) nackter Chips vorgeschlagen, jedoch zeigen sie die folgenden Probleme.

Es sei angenommen, dass bei der in JP-A-6-177134 offenbarten Erfindung thermische Spannungen nach der Montage des Halbleiterbauteils entstehen. In diesem Fall sind, wie es in Fig. 6 dargestellt ist, Spannungen im Lotkontakthöcker 37 auf der Seite des Halbleiterchips konzentriert, wodurch ein zum Bruch führender Riss 42 entstehen kann.

Auch sei angenommen, dass beim in JP-A-10-12619 oder JP-A-10-79362 offenbarten Halbleiterbauteil thermische Spannungen nach der Montage entstehen. Erneut konzentrieren sich diese Spannungen im Fuß des Kontakthöckers 52, wie es in Fig. 7 dargestellt ist. Die der thermischen Belastung zuzuschreibenden Spannungen können nicht abgebaut werden, da die Harzschiht 53 so hergestellt wurde, dass sie den Zwischenraum ohne Leerraum auffüllt. Daher kann durch die konzentrierten Spannungen im Fuß des Kontakthöckers 52 ein zum Bruch führender Riss 57 erzeugt

werden.

Im Fall der in JP-A-8-102466 offenbarten Erfindung wird der Überzugs(Harz-)film 66 auf die gesamte Oberfläche des Halbleiterchips aufgetragen, was ein Auslaufen der Spannungen verhindert. So konzentrieren sich die Spannungen im Fuß des Kontakthöckers 68, was schließlich zu einer Zerstörung führen kann.

Bei der in JP-A-2924923 offenbarten Erfindung ist die gesamte Oberfläche der Folieneinlage 74, mit Ausnahme des Lochs 76, dicht an der Oberfläche des Chips angebracht. So treten aufgrund der Wärmeexpansionsdifferenz zwischen der Folieneinlage 74 selbst und dem Chip 70 an deren Grenzfläche Spannungen auf, die zu einer Ablösung führen können. Eine derartige Ablösung verschiedener Materialien innerhalb der Struktur des Halbleiterbauteils ermöglicht das Eindringen von Wasser, was möglicherweise zu elektrischen Kurzschlüssen in Schaltungen auf dem Chip, zu Mängeln wie Gehäuserissen aufgrund eines erhöhten Volumens bei hoher Temperatur oder zu anderen Problemen führt. Ferner kann die Folieneinlage 74 selbst durch Umgebungsfeuchtigkeit aufquellen oder sich durch Wärme ausdehnen, wobei die Auswirkungen auf die Zuverlässigkeit nicht vernachlässigbar sind.

Außerdem besteht ein diesen herkömmlichen Techniken gemeinsames Problem darin, dass die entsprechenden Bauteile mit einer großen Anzahl von Schritten herzustellen sind, wozu Sputtern und Fotolithografie gehörten, wobei es sich um teure Verarbeitungsvorgänge handelt. Dies erhöht die Herstellkosten des Halbleiterbauteils selbst, was die Verbreitung derartiger Bauteile behindert.

Der Erfindung liegt die Aufgabe zugrunde, ein Halbleiterbauteil mit einer Struktur, die den Abbau von nach der Montage entstandenen Spannungen ermöglicht, und ein Verfahren zum Herstellen eines solchen Halbleiterbauteils zu schaffen.

Diese Aufgabe ist hinsichtlich des Halbleiterbauteils durch die Lehrender beigefügten unabhängigen Ansprüche 1 bis 3 und hinsichtlich des Verfahrens durch die Lehren der unabhängigen Ansprüche 9 und 12 gelöst.

Beim Bauteil gemäß Anspruch 1 sind entsprechend mehreren Elektroden für Verbindung nach außen vorhandene Harzelemente gesondert voneinander ausgebildet. Daher ist es möglich, an den Elektroden für Verbindung nach außen erzeugte thermische Spannungen wirkungsvoll abzubauen. Beim Bauteil gemäß Anspruch 2 ist die Herstellung einfach, wodurch die Produktivität verbessert ist, da die Zwischenverbindung entlang einer Schrägleiste eines Harzelements ausgebildet ist. Beim Bauteil gemäß Anspruch 3 sind die Elektroden für Verbindung nach außen unmittelbar über der Harzschiicht ausgebildet, in der mindestens eine Öffnung ausgebildet ist, wodurch es möglich ist, die an den Elektroden für Verbindung nach außen erzeugten thermischen Spannungen wirkungsvoll abzubauen. Da bei den erfundungsgemäßen Verfahren die Elektroden für Verbindung nach außen auf den einzelnen Harzelementen oder der Harzschiicht hergestellt werden, können beim entsprechenden Bauteil thermische Spannungen abgebaut werden.

Die vorstehenden und andere Aufgaben, Merkmale, Erscheinungsformen und Vorteile der Erfindung werden aus der folgenden detaillierten Beschreibung derselben in Verbindung mit den beigefügten Zeichnungen besser erkennbar.

Fig. 1A-1C zeigen ein Beispiel für herkömmliche Montage eines nackten Chips.

Fig. 2 zeigt ein erstes Beispiel einer Kontakthöckerstruktur eines herkömmlichen Halbleiterbauteils.

Fig. 3A und 3B zeigen ein zweites Beispiel einer Kontakthöckerstruktur eines herkömmlichen Halbleiterbauteils.

Fig. 4A bis 4C zeigen ein drittes Beispiel einer Kontakt-

höckerstruktur eines herkömmlichen Halbleiterbauteils.

Fig. 5 zeigt ein viertes Beispiel einer Kontakthöckerstruktur eines herkömmlichen Halbleiterbauteils.

Fig. 6 veranschaulicht ein Problem bei der Kontakthöckerstruktur des in Fig. 2 dargestellten Halbleiterbauteils.

Fig. 7 veranschaulicht ein Problem bei der Kontakthöckerstruktur des in den Fig. 3A und 3B dargestellten Halbleiterbauteils.

Fig. 8A bis 8E veranschaulichen Herstellschritte für ein Halbleiterbauteil gemäß einem ersten Ausführungsbeispiel der Erfindung.

Fig. 9 zeigt eine Schnittansicht eines Halbleiterbauteils gemäß einem zweiten Ausführungsbeispiel der Erfindung vor der Unterteilung in einzelne Chips.

Fig. 10 zeigt eine Schnittansicht eines Halbleiterbauteils gemäß einem dritten Ausführungsbeispiel der Erfindung vor der Unterteilung in einzelne Chips.

Fig. 11 veranschaulicht die Herstellung einer Schutzschicht 7" beim Ausführungsbeispiel gemäß dem dritten Ausführungsbeispiel.

Fig. 12 zeigt einen Teil der Oberseite eines Wafers 1 nach Abschluss des in Fig. 8C veranschaulichten Schritts.

Fig. 13A und 13B veranschaulichen ein Verfahren zum Herstellen eines Verdrahtungsmusters oder einer Zwischenverbindung 6 eines Halbleiterbauteils gemäß einem vierten Ausführungsbeispiel der Erfindung.

Fig. 14A-14E veranschaulichen Herstellschritte für ein Halbleiterbauteil gemäß einem fünften Ausführungsbeispiel der Erfindung.

Fig. 15 ist eine Draufsicht eines Wafers 1 im in Fig. 14B veranschaulichten Schritt.

Fig. 16A und 16B zeigen ein anderes Beispiel zur Herstellung eines Verdrahtungsmusters 6 beim Halbleiterbauteil gemäß dem fünften Ausführungsbeispiel.

Erstes Ausführungsbeispiel

Nun werden Herstellschritte für ein Halbleiterbauteil gemäß dem ersten Ausführungsbeispiel der Erfindung unter Bezugnahme auf die Fig. 8A-8E beschrieben, die Schnitte durch Elektrodenteile zeigen. Gemäß Fig. 8E, die den Zustand vor der Unterteilung in einzelne Halbleiterchips zeigt, verfügt das Halbleiterbauteil über Folgendes; einen Wafer 1, auf dem mehrere Halbleiterchips ausgebildet sind; eine auf dem Wafer 1 ausgebildete On-Chip-Elektrode (nachfolgend einfach als "Elektrode" bezeichnet) 2; einen auf dem Wafer 1 ausgebildeten Isolierfilm 3; ein Harzelement 5, das an der Position ausgebildet ist, an der eine Elektrode für Verbindung nach außen anzubringen ist; ein Verdrahtungsmuster oder eine Zwischenverbindung 6; eine Schutzschicht 7 zum Schützen des Verdrahtungsmusters 6; und eine Elektrode 8 für Verbindung nach außen. An jeder Grenze der Halbleiterchips ist eine Zerteillinie 4 vorhanden.

Wie es in Fig. 8A dargestellt ist, wird als Erstes eine Elektrode 2 aus z. B. Aluminium auf dem Wafer 1 hergestellt, gefolgt von der Herstellung des Isolierfilms 3. Es ist unerheblich, ob der Isolierfilm 3 während der ersten wenigen Schritte hergestellt wird oder nicht, und er kann z. B. durch Schleuderbeschichten eines Harzmaterials wie Polyimid ausgebildet werden, wobei dann durch Fotolithografie oder dergleichen eine Öffnung für die Elektrode 2 hergestellt wird.

Als Nächstes wird, wie es in Fig. 8B dargestellt ist, ein Harzelement 5 an einer Position auf dem Wafer 1 hergestellt, an der die Elektrode 8 für Verbindung nach außen anzubringen ist. Das Harzelement 5 wird vorzugsweise aus einem Material mit guter Haftfähigkeit zum Isolierfilm 3 und zum Verdrahtungsmuster 6 hergestellt. Es besteht keine Be-

schränkung auf ein Harz aus dem Epoxidsystem, dem Siliconsystem, dem Urethansystem oder dem Kautschuksystem, sondern es kann ein beliebiges Harz mit niedrigem Elastizitätsmodul nach Wunsch angewandt werden, da ein solches Harz nach der Montage gute Wirkungen hinsichtlich des Abbaus von Spannungen zeigt. Zur Herstellung des Harzelements 5 kann jede beliebige Technik verwendet werden, jedoch ist wegen der niedrigen Kosten Drucken von Vorteil. Für Elektroden 8 für Verbindung nach außen mit einer Schrittweite von z. B. 0,8 mm kann das Harzelement 5 durch Siebdruck unter Verwendung einer Metallmatrize mit einer Dicke von ungefähr 0,1 mm als Vorsprung mit einem Durchmesser von ungefähr 0,5 mm Ø hergestellt werden.

Anstatt die Harzelemente 5 durch Schleuderbeschichtungen auf der gesamten Oberfläche des Wafers 1 herzustellen, können diese durch Drucken oder dergleichen nur an jeweiligen Positionen ausgebildet werden, an denen die Elektroden 8 für Verbindung nach außen anzubringen sind. So können thermische Spannungen nach der Montage wirkungsvoll abgebaut werden. Ferner wird, wenn die Harzelemente 5 gesondert voneinander ausgebildet werden, die Grenzfläche zwischen jedem Harzelement und dem Chip klein, so dass Probleme hinsichtlich Spannungen und einer Ablösung, die Eigenschaften des Harzelements selbst zuzuschreiben sind, beseitigt werden können. Wenn ein Harz aus dem Synthesekautschuksystem (LSA-7701, verfügbar von Ohgi Chemical Industries) verwendet wird, kann z. B. ein Harzelement 5 von ungefähr 50 µm Dicke durch einen Druckvorgang unter Verwendung einer Matrize von ungefähr 0,1 mm Dicke mit anschließendem Aushärten für eine Stunde bei einer Temperatur von 175°C erhalten werden.

Alternativ können die Harzelemente 5 unter Verwendung eines Harzes hergestellt werden, das sich beim Auftragen in Pastenform befindet und beim Aushärten expandiert. Dies erleichtert einen anschließenden Schritt zum Herstellen einer Zwischenverbindung, der später in Zusammenhang mit Fig. 8C beschrieben wird. Genauer gesagt, wird ein Harz in Pastenform mit einer Dicke von 10 bis 30 µm aufgetragen und einem vorläufigen Härteten unterzogen, bevor ein Verdrahtungsmuster so hergestellt wird, wie es unten beschrieben ist. Dann erfährt das Harz ein vollständiges Aushärten, wobei es sich auf eine Höhe von ungefähr 50 µm ausdehnt. Die so erhaltene Struktur erlaubt eine einfache Herstellung des Verdrahtungsmusters, während vergleichbare Spannungsabbaueffekte erhalten bleiben.

Als Nächstes wird, wie es in Fig. 8C dargestellt ist, ein Verdrahtungsmuster oder eine Zwischenverbindung 6 so hergestellt, dass sie sich von der Elektrode 2 bis an eine Position erstreckt, an der die Elektrode 8 für Verbindung nach außen anzubringen ist. Obwohl das Verdrahtungsmuster 6 unter Verwendung beliebiger Verfahren einschließlich des bekannten Abhebeverfahrens hergestellt werden kann, wird es wünschenswerterweise zum Beispiel durch Drucken hergestellt, da dabei geringe Herstellkosten anfallen. Dabei kann zum Herstellen des Verdrahtungsmusters 6 eine Paste verwendet werden, in die ein Metallpulver von Kupfer oder Silber eingemischt ist, die dann zum Aushärten einer Wärmebehandlung bei ungefähr 150°C unterzogen wird. In diesem Fall wird wünschenswerterweise ein gewisser Prozess ausgeführt, um die Haftung zwischen der Elektrode 2 und dem Verdrahtungsmuster 6 zu verbessern. Zum Beispiel kann eine Plasmaverarbeitung zum chemischen Entfernen jeglichen Harzes, das auf der Oberfläche der Elektrode 2 nach dem Auftragen während der vorigen Prozessschritte verblieben ist, ausgeführt werden. Ferner kann ein Sputtervorgang ausgeführt werden, um dafür zu sorgen, dass ionisierte Gasmoleküle geringer Dichte auf den Wafer 1 treffen, wodurch die Übergangsflächen zwischen der Elektrode 2

und dem Verdrahtungsmuster 6 aufgeraut werden. So kann die Haftung zwischen der Elektrode 2 und dem Verdrahtungsmuster 6 physikalisch verbessert werden.

Wenn das durch Drucken hergestellte Zwischenverbindungsmauster einen großen elektrischen Widerstand zeigt, der möglicherweise zu einem Spannungsabfall, zu Erwärmung, einer Signalverzögerung oder dergleichen führt, kann ein Verarbeitungsschritt für z. B. stromloses Plattieren hinzugefügt werden, um ein Material wie Kupfer oder Nickel auf das Zwischenverbindungsmauster aufzutragen. Wenn die Verwendung eines derartigen Prozesses vorbestimmt ist, ist es überflüssig, ein leitendes Material zur Musterherstellung durch Drucken auszuwählen. Es ist lediglich erforderlich, ein Material auszuwählen, das gute Haftfähigkeit zum Metall zeigt, das durch stromloses Plattieren aufgetragen wird. Durch diesen Prozess des stromlosen Plattierens wird nicht nur der elektrische Widerstand der Zwischenverbindung gesenkt, sondern es wird auch eine Barriermetallschicht zur Herstellung einer Elektrode 8 für Verbindung nach außen auf dem Harzelement 5 hergestellt. Wenn der elektrische Widerstand des Verdrahtungsmusters kein Problem darstellt, kann eine plattierte Metallschicht nach dem Prozessschritt, der in Zusammenhang mit Fig. 8D als Nächstes beschrieben wird, nur auf einem Harzelement 5 hergestellt werden.

Wie es in Fig. 8D dargestellt ist, wird eine Schutzschicht 7 zum Schützen des Verdrahtungsmusters 6 und der Oberfläche des Halbleiterchips hergestellt. Die Schutzschicht 7 wird z. B. durch Drucken oder Fotolithografie unter Verwendung eines fotoempfindlichen Harzes hergestellt. Wenn hierbei Fotolithografie verwendet wird, wird die Schutzschicht 7 durch Schleuderbeschichtungen eines fotoempfindlichen Harzes oder dergleichen und anschließendes Öffnen eines Lochs an einem Ort, an dem eine Elektrode 8 für Verbindung nach außen auszubilden ist, hergestellt. Drucken ist jedoch etwas schwierig, da das Anbringen von Farbe auf einer unregelmäßigen Oberfläche zu gewährleisten ist, jedoch kann es ausgeführt werden, wenn die Bedingungen optimiert werden. Genauer gesagt, werden die Farbe und der Wafer während des Druckvorgangs auf einem Luftdruck unter dem Atmosphärendruck gehalten, wodurch der Druckvorgang mit ausreichender Auflösung dadurch ermöglicht ist, dass das Eindringen von Blasen vermieden ist. So wird es möglich, eine Schutzschicht mit hoher Schutzfähigkeit zu niedrigen Kosten herzustellen. Dieser Druckvorgang ist auch zum Herstellen des in Fig. 8C dargestellten Verdrahtungsmusters 6 wirkungsvoll.

Als Nächstes wird, wie es in Fig. 5E dargestellt ist, die Elektrode 8 für Verbindung nach außen auf dem Harzelement 5 hergestellt. Genauer gesagt, wird gemeinsam mit einem Flussmittel eine Kugel auf Basis von z. B. eutektischen Zinn/Blei-Legierungen auf dem Verdrahtungsmuster 6 auf dem Harzelement 5 angebracht, und zum Herstellen der Elektrode 8 für Verbindung nach außen wird ein Aufschmelzlöten ausgeführt. Schließlich wird der Wafer 1 entlang einer Zerteillinie 4 zerschnitten, wodurch einzelne Halbleiterchips fertiggestellt werden. Alle in den Fig. 8A-8E veranschaulichten Herstellschritte können durch Waferverarbeitung unter Verwendung billiger Druckprozesse, wo immer möglich, ausgeführt werden. So ist es möglich, ein Halbleiterbauteil billig herzustellen, wobei eine thermische Spannungen ausreichend abbauende Struktur geschaffen wird, während die nachteiligen Effekte so weit wie möglich beseitigt sind, die aus dem Hinzufügen der Harzelemente zur Struktur herrühren.

Wie oben beschrieben, wird beim Halbleiterbauteil des vorliegenden Ausführungsbeispiels ein Harzelement 5 an einem Ort hergestellt, an dem eine Elektrode 8 für Verbindung

nach außen herzustellen ist, wodurch es möglich ist, thermische Spannungen nach der Montage abzubauen.

Zweites Ausführungsbeispiel

Das Halbleiterbauteil gemäß dem zweiten Ausführungsbeispiel der Erfindung, dessen Querschnitt vor der Unterteilung in einzelne Halbleiterbauteile in Fig. 9 dargestellt ist, stimmt mit dem in Fig. 8E dargestellten Halbleiterbauteil des ersten Ausführungsbeispiels mit der Ausnahme überein, dass die Schutzschicht 7 durch eine Schutzschicht 7' ersetzt ist, die die Vorder- und die Rückseite des Halbleiterchips bedeckt. Die ersten wenigen Schritte zur Herstellung des Halbleiterbauteils gemäß dem vorliegenden Ausführungsbeispiel sind ebenfalls dieselben wie beim in den Fig. 8A bis 8C veranschaulichten ersten Ausführungsbeispiel. So wird eine detaillierte Beschreibung der gemeinsamen Strukturen und gemeinsamen Herstellschritte nicht wiederholt.

Wenn der in Fig. 8C veranschaulichte Schritt abgeschlossen ist, wird der Wafer 1 durch einen Stift oder dergleichen über dem Tisch so fixiert, dass dazwischen ein Zwischenraum vorhanden ist. Die Oberfläche des Verdrahtungsmusters 6 auf dem Harzelement 5 und die Rückseite einer Druckmatrize werden dicht beieinander angebracht. Durch Drucken bei niedrigem Luftdruck, wie oben beschrieben, wird die Schutzschicht 7 sowohl auf der Vorder- als auch der Rückseite des Wafers 1 hergestellt. Das Einstellen von Vakuum in der Umgebung gewährleistet, dass das Schutzmaterial die Rückseite des Wafers erreicht, ohne dass Blasen in die Schutzschicht 7' eingeschlossen werden. Da die Rückseite der Matrize und der obere Teil des Harzelements 5 dicht beieinander angebracht sind, ist verhindert, dass das Schutzmaterial an einer Position aufgetragen wird, an der die Elektrode für Verbindung nach außen herzustellen ist. Nach der Herstellung der Schutzschicht 7' wird die Elektrode 8 für Verbindung nach außen hergestellt. Schließlich wird der Wafer entlang Zerteillinien 4 zerschnitten, wodurch die einzelnen Halbleiterchips fertiggestellt sind.

Das Halbleiterbauteil des vorliegenden Ausführungsbeispiels ist demjenigen des ersten Ausführungsbeispiels hinsichtlich des Abbaus thermischer Spannungen unterlegen, da jedes Harzelement 5 in der Schutzschicht 7' eingebettet ist. Bei diesem Ausführungsbeispiel ist jedoch auch die Rückseite des Halbleiterchips mit der Schutzschicht 7' bedeckt, so dass das Halbleiterbauteil dieses Ausführungsbeispiels hinsichtlich der Handhabung demjenigen des ersten Ausführungsbeispiels überlegen ist. Ferner ist es durch Optimieren des Materials zur Verwendung als Schutzschicht 7', z. B. durch Auswählen eines Materials mit niedrigem Elastizitätsmodul, möglich, ein Halbleiterbauteil mit relativ gutem Abbau thermischer Spannungen herzustellen.

Drittes Ausführungsbeispiel

Das Halbleiterbauteil gemäß dem dritten Ausführungsbeispiel, dessen Querschnitt vor dem Zerschneiden in Teile in Fig. 10 dargestellt ist, ist mit dem in Fig. 8E dargestellten Halbleiterbauteil des ersten Ausführungsbeispiels mit der Ausnahme identisch, dass die Schutzschicht 7 durch eine Schutzschicht 7" ersetzt ist, die sowohl die Vorder- als auch die Rückseite des Halbleiterchips bedeckt. Die ersten mehreren Schritte zum Herstellen des Halbleiterbauteils dieses Ausführungsbeispiels sind ebenfalls dieselben wie beim in den Fig. 8A-8C dargestellten ersten Ausführungsbeispiel. Daher wird eine detaillierte Beschreibung dieser gemeinsamen Strukturen und Herstellschritte nicht wiederholt.

Nach Abschluss des in Fig. 8C dargestellten Schritts wird, wie es in Fig. 11 dargestellt ist, der Wafer 1 durch ein

Formwerkzeug 12 von seinen beiden Seiten her festgehalten, wobei ein Druck in solchem Ausmaß ausgeübt wird, dass Harzelemente 5 etwas nach innen gedrückt werden. Dann wird die Schutzschicht 7' z. B. durch ein Spritzpressverfahren hergestellt, bei dem ein Schutzmaterial so in das Formwerkzeug 12 eingeleitet wird, dass durch dieses ein Druck auf den Wafer 1 ausgeübt wird. Wenn danach das Formwerkzeug 12 entfernt wird, liegt die Oberseite jedes Harzelements 5 aufgrund seiner Elastizität gegenüber der Schutzschicht 7" frei. Dieses Ausnutzen der Elastizität des Harzelements 5 gewährleistet das Freilegen an der Position, an der die Elektrode 8 für Verbindung nach außen herzustellen ist. Dies vereinfacht den Herstellprozess und ermöglicht es, ein billiges Halbleiterbauteil herzustellen, das nach der Montage zuverlässig ist.

Viertes Ausführungsbeispiel

Das Halbleiterbauteil gemäß dem vierten Ausführungsbeispiel der Erfindung unterscheidet sich von dem des in Fig. 8E dargestellten ersten Ausführungsbeispiels nur in der Art der Herstellung des Verdrahtungsmusters 6. Die späteren Schritte zum Herstellen des Halbleiterbauteils dieses Ausführungsbeispiels sind ebenfalls dieselben wie beim in den Fig. 5B und 8E dargestellten ersten Ausführungsbeispiel. So wird eine detaillierte Beschreibung der gemeinsamen Strukturen und Herstellschritte nicht wiederholt.

Fig. 12 zeigt einen Teil der Oberseite des Wafers 1 bei Abschluss des in Fig. 8C veranschaulichten Schritts. Auf die Oberfläche des Wafers 1 wird ein Isolierfilm 3 aufgetragen, und auf diesem werden ein Harzmuster 5 und ein Verdrahtungsmuster 6 hergestellt, das den oberen Teil des Harzelements 5 und die Elektrode 2 verbindet. Gemäß Fig. 12 verlaufen höchstens drei Verdrahtungsmuster 6 in einem Tal oder einer länglichen Vertiefung zwischen benachbarten Reihen von Harzelementen 5, die Vorsprünge bilden. Wenn die Anzahl von Stiften erhöht wird oder nur die Stiftintervalle verkleinert werden, wird es schwieriger, Verdrahtungsmuster mit guter Auflösung herzustellen.

Beim Herstellprozess des Halbleiterbauteils gemäß dem vorliegenden Ausführungsbeispiel wird das Verdrahtungsmuster 6 als Erstes im in Fig. 8A dargestellten Zustand auf dem Wafer 1 hergestellt. In diesem Fall ist die Herstellung des Verdrahtungsmusters einfach, da es auf dem ebenen Wafer 1 hergestellt wird. Dann wird, wie es in Fig. 13A dargestellt ist, ein Harzelement 5 von ungefähr 50 µm Höhe hergestellt. Während die Höhe des Harzelements 5 ungefähr 50 µm beträgt, beträgt die Höhe des Verdrahtungsmusters 6 höchstens ungefähr 10 µm. Daher wird die Genauigkeit bei der Herstellung des Harzelements 5 durch das Vorliegen/Fehlen des Verdrahtungsmusters 6 nicht beeinflusst. Danach wird, wie es in Fig. 13B dargestellt ist, eine Zwischenverbindung 6 zum elektrischen Verbinden des Verdrahtungsmusters 6 und der Elektrode 8 für Verbindung nach außen, die auf der Oberseite des Harzelements 5 herzustellen ist, ausgebildet. Obwohl diese Zwischenverbindung 6 auf der Schräge des Harzelements 5 hergestellt werden sollte, stellt dies kein schwerwiegendes Problem dar, da sie mit einer Größe in der Größenordnung der Schrittwidte externer Elektroden hergestellt werden kann. Danach wird das Halbleiterbauteil dieses Ausführungsbeispiels dadurch fertiggestellt, dass der durch Fig. 5D veranschaulichte Schritt und die anschließenden Schritte ausgeführt werden.

Wie oben beschrieben, wird beim Halbleiterbauteil des vorliegenden Ausführungsbeispiels das Verdrahtungsmuster durch zwei gesonderte Schritte hergestellt. Dadurch ist es möglich, einer erhöhten Anzahl von Stiften und einem verkleinerten Stiftintervall zu genügen.

Fünftes Ausführungsbeispiel

Nun werden Herstellschritte für ein Halbleiterbauteil gemäß dem fünften Ausführungsbeispiel der Erfindung unter Bezugnahme auf die Fig. 14A-14E beschrieben. Die Schritte selbst sind identisch mit denen, die in den Fig. 8A-8E zum ersten Ausführungsbeispiel dargestellt sind, wobei jedoch eine Harzschicht 9 das Harzelement 5 ersetzt. So werden die gemeinsamen Strukturen und gemeinsamen Schritte hier nicht im Detail erneut beschrieben.

Fig. 15 ist eine Draufsicht des Wafers 1 des Halbleiterbauteils gemäß dem vorliegenden Ausführungsbeispiel beim durch Fig. 14B veranschaulichten Schritt. Wie es in Fig. 15 dargestellt ist, verfügt die Harzschicht 9 an mindestens einer Position, an der das die Elektrode 2 und die Elektrode 8 für Verbindung nach außen verbindende Verdrahtungsmuster 6 nicht herzustellen ist, über eine Öffnung 10. Das Anbringen dieser Öffnung 10 verbessert die Wirkung beim Abbauen thermischer Spannungen im Vergleich zum Fall, bei dem die Harzschicht auf die gesamte Oberfläche des Wafers 1 aufgetragen ist. Die Harzschicht 9 kann durch ein einfaches Verfahren, z. B. durch Siebdruck, hergestellt werden. In Fig. 15 ist die Position, an der die Elektrode 8 für Verbindung nach außen in einem anschließenden Schritt (den in Fig. 14E dargestellten Schritt) herzustellen ist, mit 8' gekennzeichnet.

Einige Halbleiterchips, z. B. Flashspeicher, verfügen über einen Bereich, in dem eine Signalleitung nicht unmittelbar über einem aktiven Bereich verlaufen sollte. Beim Halbleiterbauteil dieses Ausführungsbeispiels bedeckt jedoch die Harzschicht 9 den größten Teil des Halbleiterchips, weswegen auf der Harzschicht 9 eine Zwischenverbindung in einem solchen Bereich hergestellt werden kann, in dem andernfalls das Anbringen einer Signalleitung verboten wäre. So ist der Freiheitsgrad bei der Verdrahtung im Vergleich zum Fall des Halbleiterbauteils des ersten Ausführungsbeispiels erhöht.

Ferner kann beim Halbleiterbauteil dieses Ausführungsbeispiels fast die gesamte Verdrahtung auf der Harzschicht 9 fertiggestellt werden. Daher muss zwischen Reihen von Harzelementen 5 keine Anzahl von Zwischenverbindungsleitungen angebracht werden wie beim Halbleiterbauteil des ersten Ausführungsbeispiels. So können die Zwischenverbindungen mit guter Auflösung einfach ausgebildet werden.

Noch ferner ist es beim Halbleiterbauteil dieses Ausführungsbeispiels, wie in Fig. 14C veranschaulicht, erforderlich, Verdrahtungsmuster 6 auf der Schräge der Harzschicht 9 herzustellen. Wenn dies schwierig auszuführen ist, kann jedoch ein Verdrahtungsmuster 6 leicht durch die in den Fig. 16A und 16B veranschaulichten Herstellschritte hergestellt werden. Genauer gesagt, wird nach Abschluss des Schritts gemäß Fig. 14B ein Verbindungsteil 11 aus leitendem Material auf der Elektrode 2 hergestellt, wie es in Fig. 16A dargestellt ist. Das Verbindungsteil 11 kann durch stromloses Plattieren von Nickel oder dergleichen hergestellt werden, 55 oder es kann alternativ durch einen Druckvorgang unter Verwendung einer leitenden Paste hergestellt werden. Nachdem so die Elektrode 2 erhöht wurde, wird das Verdrahtungsmuster 6 hergestellt, und dann wird der in Fig. 16B veranschaulichte Schritt (derselbe, wie er in den Fig. 14D und 14E veranschaulicht ist) ausgeführt, um das Halbleiterbauteil fertigzustellen.

Patentansprüche

1. Halbleiterbauteil (21) mit mehreren auf einem Halbleiterchip angeordneten Elektroden (8) für Verbindung nach außen, mit:

- auf dem Chip befindlichen Elektroden (2);
- Harzelementen (5), die gesondert voneinander entsprechend den mehreren Elektroden für Verbindung nach außen vorhanden sind; und
- Zwischenverbindungen (6), von denen jede eine Elektrode auf dem Chip mit einer entsprechenden Elektrode für Verbindung nach außen verbindet.

2. Halbleiterbauteil mit mehreren auf einem Halbleiterchip angeordneten Elektroden (8) für Verbindung nach außen, mit:

- auf dem Chip befindlichen Elektroden (2);
- Harzelementen (5), die entsprechend den mehreren Elektroden für Verbindung nach außen vorhanden sind und die Schrägen aufweisen; und
- Zwischenverbindungen (6), von denen jede entlang der Schräge eines entsprechenden Harzelements vorhanden ist und eine Elektrode auf dem Chip mit einer entsprechenden Elektrode für Verbindung nach außen verbindet.

3. Halbleiterbauteil mit mehreren auf einem Halbleiterchip angeordneten Elektroden (8) für Verbindung nach außen, mit:

- auf dem Chip befindlichen Elektroden (2);
- einer Harzschicht (9), die den Halbleiterchip bedeckt und mindestens eine Öffnung aufweist, wobei die Elektroden für Verbindung nach außen unmittelbar über ihr ausgebildet sind; und
- Zwischenverbindungen (6), von denen jede eine Elektrode auf dem Chip mit einer entsprechenden Elektrode für Verbindung nach außen verbindet.

4. Halbleiterbauteil nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass zwischen den Elektroden (8) für Verbindung nach außen zumindest für jeweils zwei derselben eine Öffnung vorhanden ist.

5. Halbleiterbauteil nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Zwischenverbindung (6) mindestens einen Abschnitt mit einer Mehrschichtstruktur aus mindestens zwei Arten von Materialien aufweist.

6. Halbleiterbauteil nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Harzschicht (9) aus einem Material besteht, das sich beim Aushärten ausdehnt.

7. Halbleiterbauteil nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Zwischenverbindung (6) Folgendes aufweist:

- eine erste Zwischenverbindung (6), die die Elektrode auf dem Chip (2) und die Harzschicht (9) verbindet; und
- eine zweite Zwischenverbindung (6'), die über einer Schräge der Harzschicht ausgebildet ist und die erste Zwischenverbindung und die Elektrode (8) für Verbindung nach außen verbindet.

8. Halbleiterbauteil nach einem der vorstehenden Ansprüche, gekennzeichnet durch eine Schutzschicht (7), die zumindest auf derjenigen Seite vorhanden ist, auf der die Elektroden (8) für Verbindung nach außen vorhanden sind, um diese Seite außer den Elektroden für Verbindung nach außen zu bedecken.

9. Verfahren zum Herstellen eines Halbleiterbauteils mit mehreren auf einem Halbleiterchip angeordneten Elektroden (8) für Verbindung nach außen, mit den folgenden Schritten:

- Herstellen eines Isolierfilms (3) auf dem Halbleiterchip zumindest in einem anderen Bereich als Abschnitten mit Elektroden (2) auf dem Chip;

- Herstellen von Harzelementen (5) an jeweiligen Orten, an denen die mehreren Elektroden für Verbindung nach außen herzustellen sind;
 - Herstellen von Zwischenverbindungen (6), von denen jede eine Elektrode auf dem Chip und eine entsprechende Elektrode für Verbindung nach außen verbindet;
 - Anbringen eines Materials zum Schützen zumindest der Zwischenverbindungen und
 - Herstellen jeder der Elektroden für Verbindung nach außen auf einem entsprechenden Harzelement.
10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass der Schritt des Herstellens der Harzelemente (5) einen Schritt des Herstellens derselben durch Drucken beinhaltet.
11. Verfahren nach einem der Ansprüche 9 oder 10, dadurch gekennzeichnet, dass der Schritt, des Aufbringens eines Materials zum Schützen zumindest der Zwischenverbindungen (6) den Schritt des Herstellens einer Schutzschicht (7) durch Pressen und Schützen der Harzelemente (5) durch ein Formwerkzeug beinhaltet.
12. Verfahren zum Herstellen eines Halbleiterbauteils mit mehreren auf einem Halbleiterchip angeordneten Elektroden (8) für Verbindung nach außen, mit den folgenden Schritten:
- Herstellen eines Isolierfilms (3) auf dem Halbleiterchip zumindest in einem anderen Bereich als Abschnitten mit Elektroden (2) auf dem Chip;
 - Herstellen einer Harzschicht (9) an Orten, an denen die mehreren Elektroden für Verbindung nach außen herzustellen sind;
 - Herstellen von Zwischenverbindungen (6), von denen jede eine Elektrode auf dem Chip und eine entsprechende Elektrode für Verbindung nach außen verbindet;
 - Anbringen eines Materials zum Schützen zumindest der Zwischenverbindungen und
 - Herstellen jeder der Elektroden für Verbindung nach außen auf der Harzschicht.
13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass der Schritt des Herstellens der Harzschicht (9) den Schritt des Herstellens derselben durch Drucken beinhaltet.
14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, dass der Schritt des Herstellens von Zwischenverbindungen (6) die folgenden Schritte beinhaltet:
- Herstellen einer ersten Zwischenverbindung (6), die die Elektrode (2) auf dem Chip und die Harzschicht (9) verbindet; und
 - Herstellen einer zweiten Zwischenverbindung (6) auf einer Schrägen der Harzschicht zum Verbinden der ersten Zwischenverbindung und der Elektrode (8) für Verbindung nach außen.
15. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, dass der Schritt des Herstellens von Zwischenverbindungen (6) den Schritt des Herstellens mindestens eines Teils der Zwischenverbindung, der eine Elektrode (2) auf dem Chip und die entsprechende Elektrode (8) für Verbindung nach außen verbindet, durch Drucken beinhaltet.
16. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, dass der Schritt des Herstellens von Zwischenverbindungen (6) die folgenden Schritte beinhaltet:
- Herstellen eines Musters, das die Elektrode (2) auf dem Chip und die Elektrode (8) für Verbin-

- dung nach außen verbindet, mit einer Harzpaste; und
- Auftragen von Metall auf das Muster durch stromloses Plättieren.

17. Verfahren nach einem der Ansprüche 9 bis 16, gekennzeichnet durch den Schritt des Herstellens leitender Elemente auf den Elektroden (2) auf dem Chip in solcher Weise, dass diese ungefähr so hoch wie die Harzschicht (9) werden.

18. Verfahren nach einem der Ansprüche 9 bis 17, dadurch gekennzeichnet, dass der Schritt des Aufbringens eines Materials zum Schützen zumindest der Zwischenverbindungen (6) einen Schritt des Anbringens dieses Materials durch Drucken beinhaltet.

Hierzu 12 Seite(n) Zeichnungen

- Leerseite -

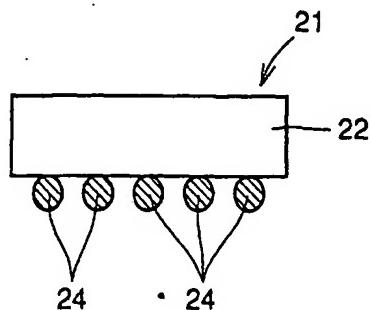
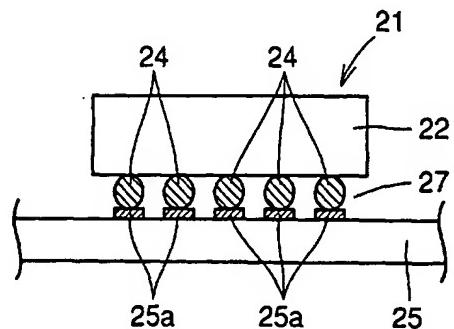
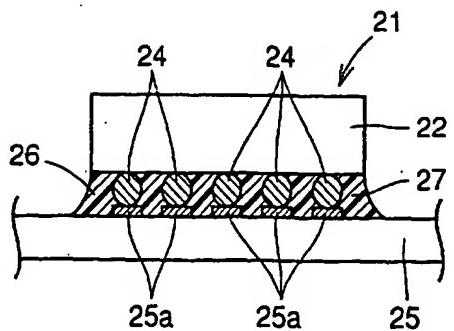
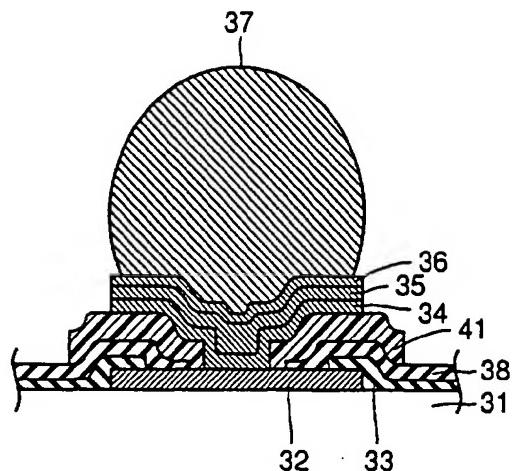
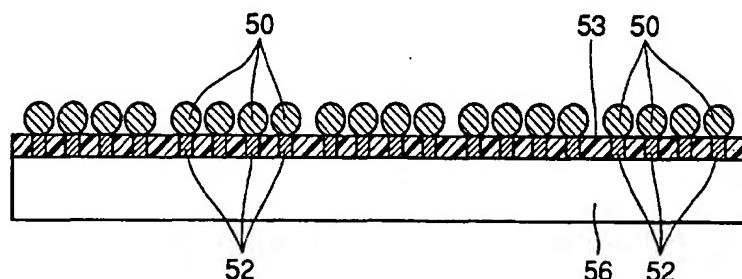
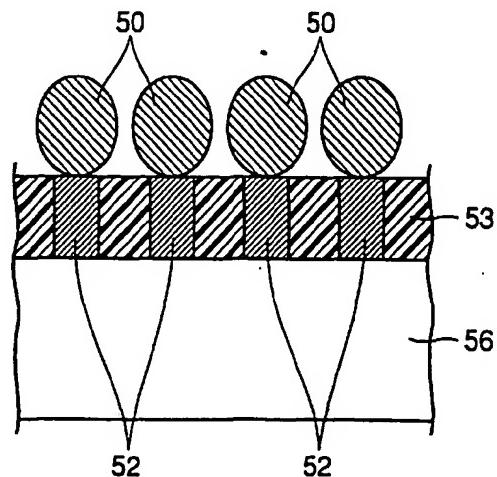
FIG. 1A STAND DER TECHNIK**FIG. 1B** STAND DER TECHNIK**FIG. 1C** STAND DER TECHNIK

FIG.2 STAND DER TECHNIK**FIG.3A** STAND DER TECHNIK**FIG.3B** STAND DER TECHNIK

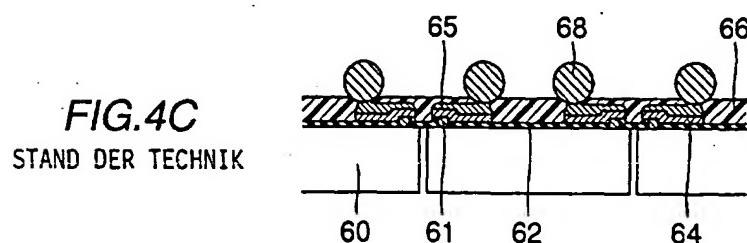
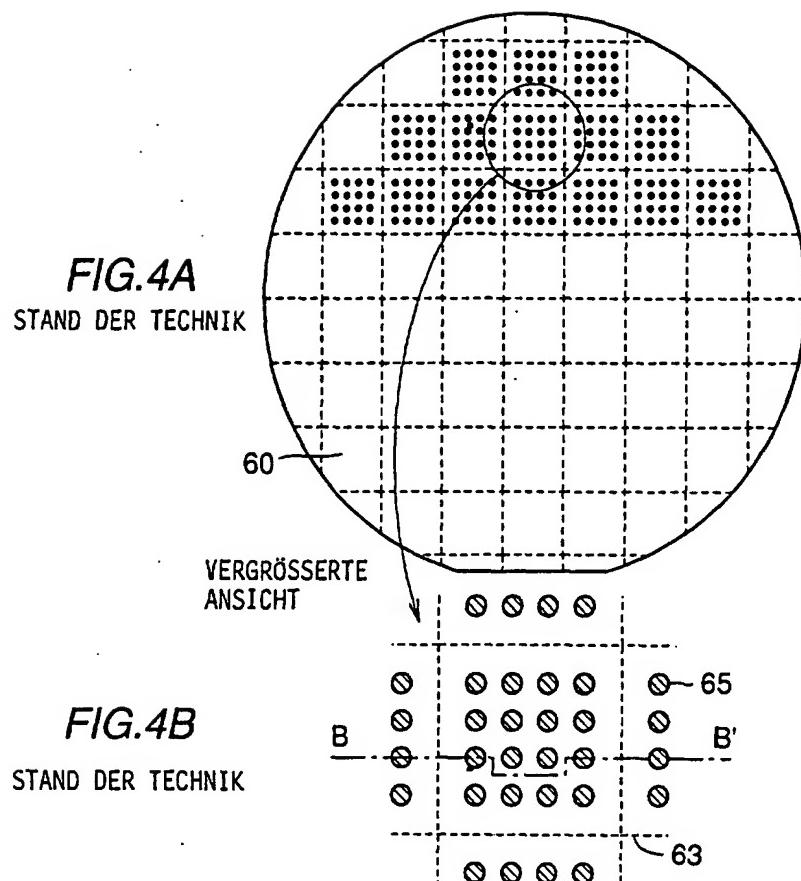


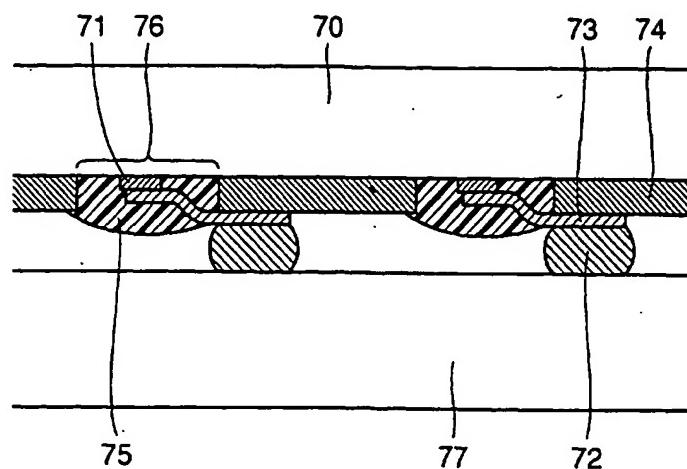
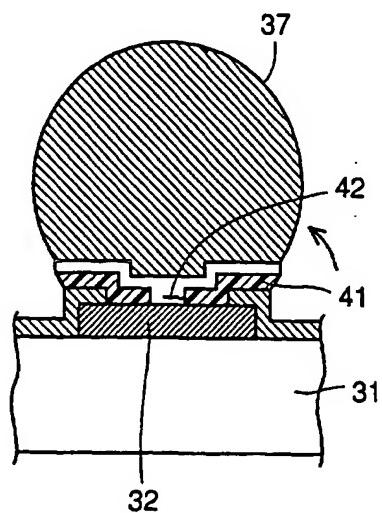
FIG.5 STAND DER TECHNIK**FIG.6 STAND DER TECHNIK**

FIG.7 STAND DER TECHNIK

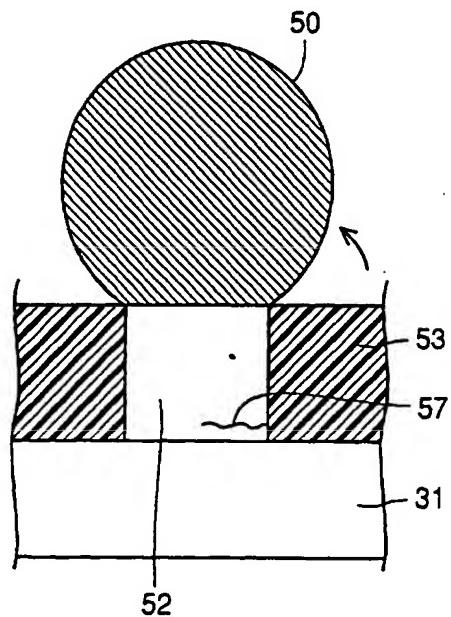


FIG. 8A

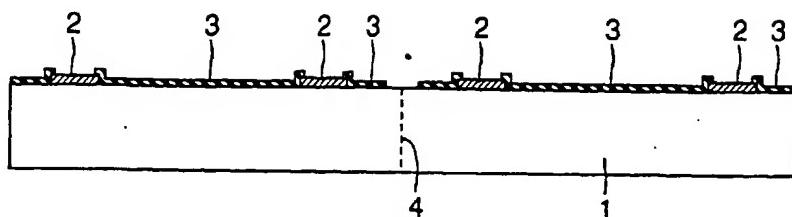


FIG. 8B

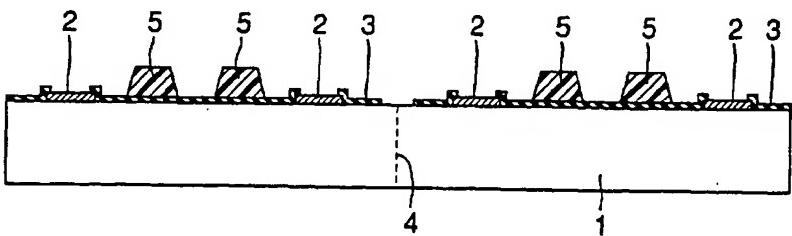


FIG.8C

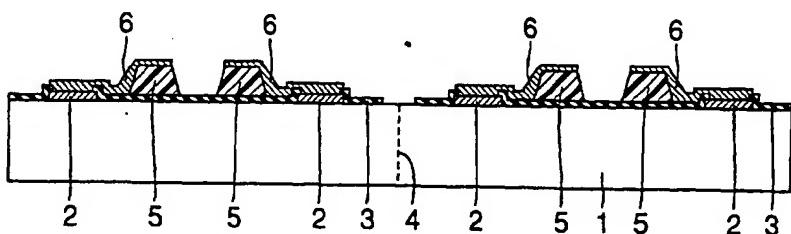


FIG. 8D

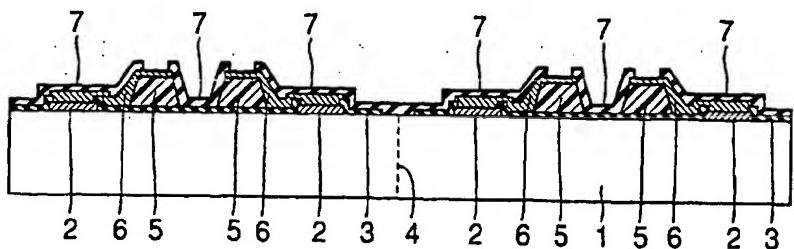


FIG.8E

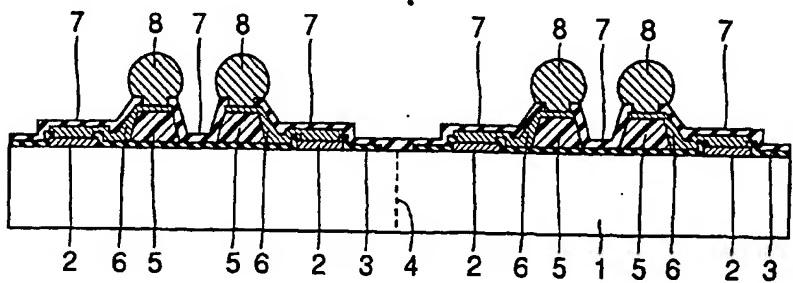


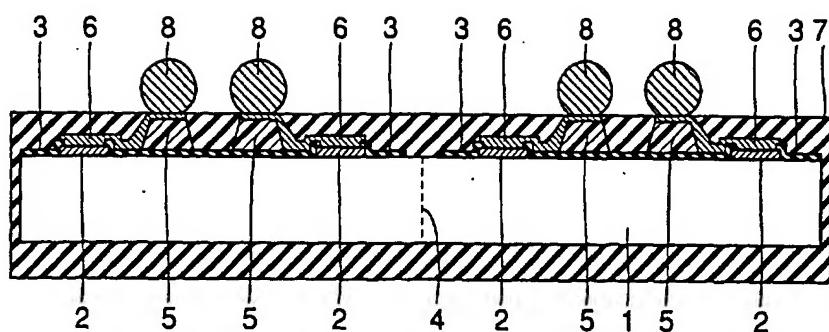
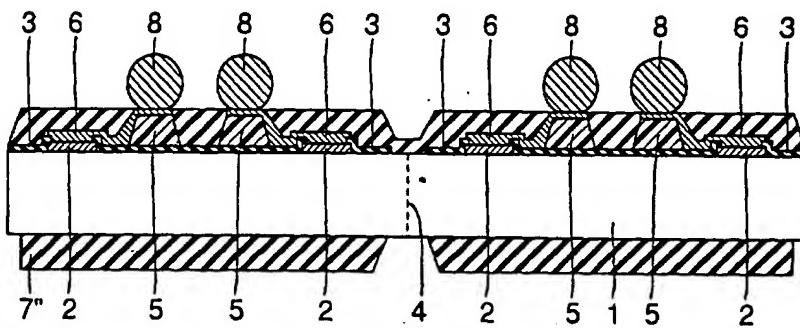
FIG.9*FIG.10*

FIG. 11

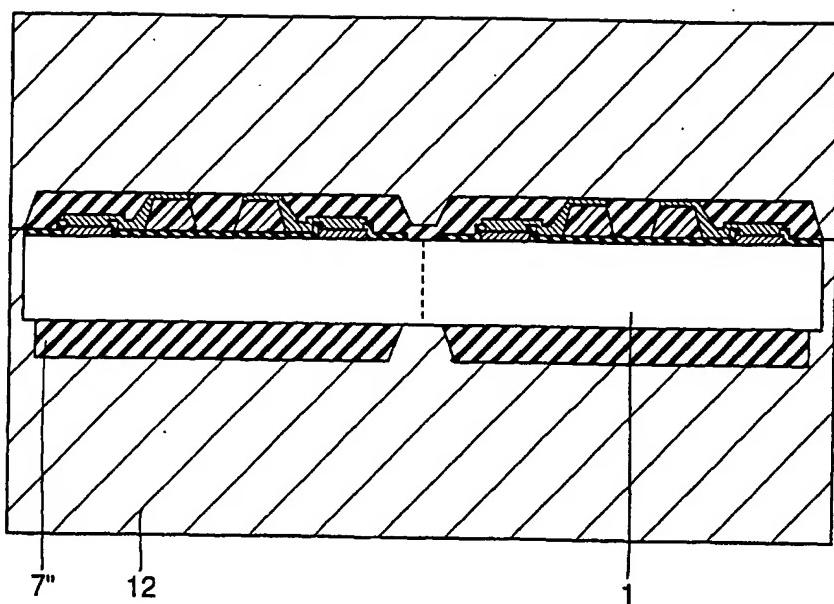


FIG. 12

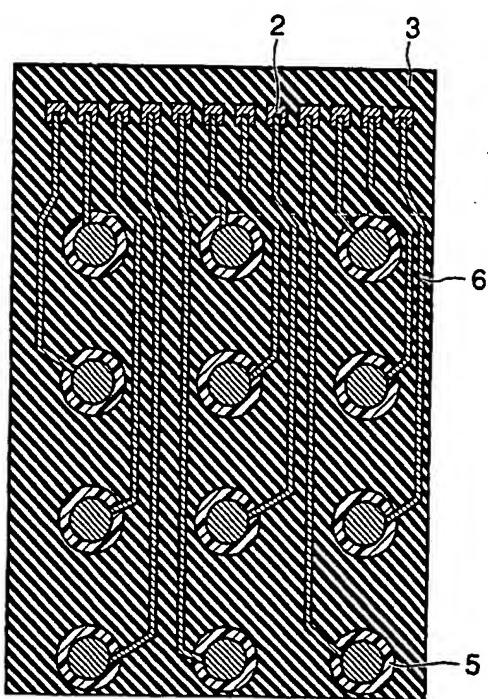


FIG. 13A

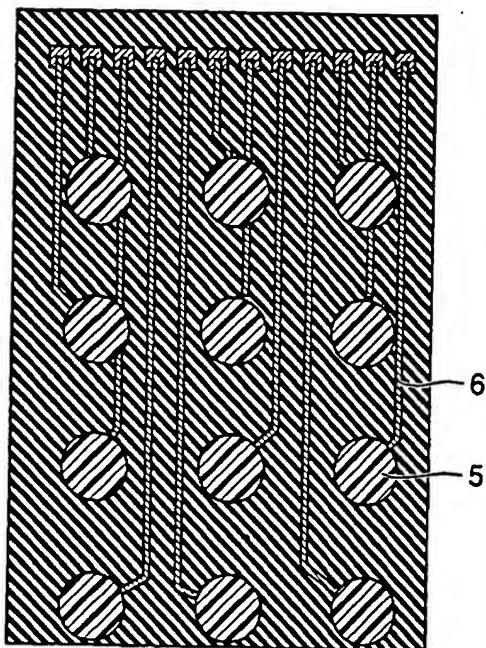


FIG. 13B

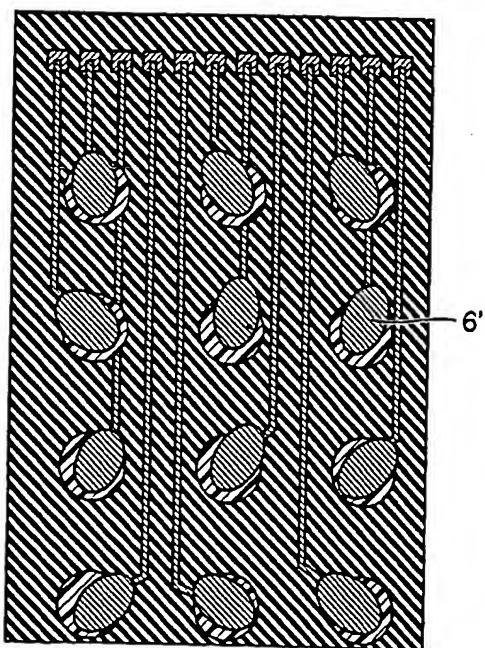


FIG. 14A

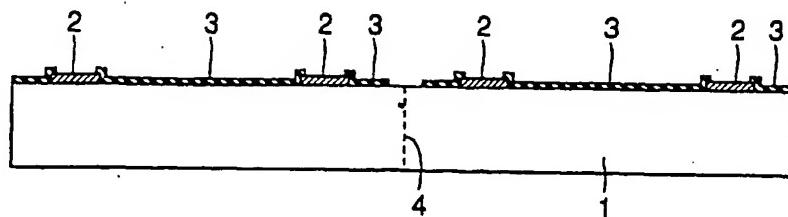


FIG. 14B

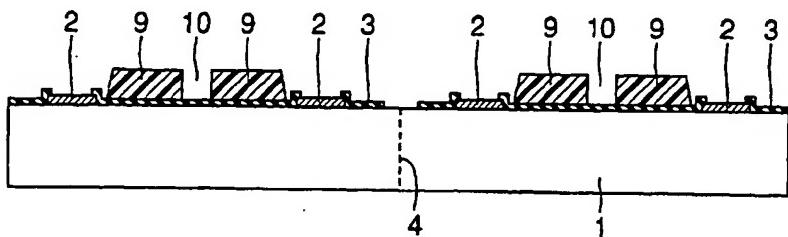


FIG. 14C

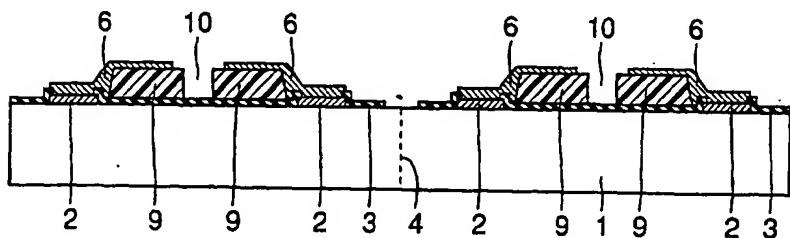


FIG. 14D

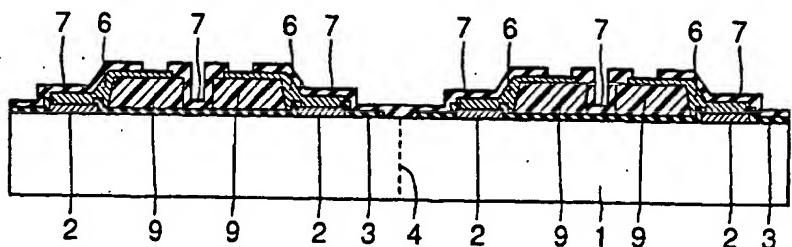


FIG. 14E

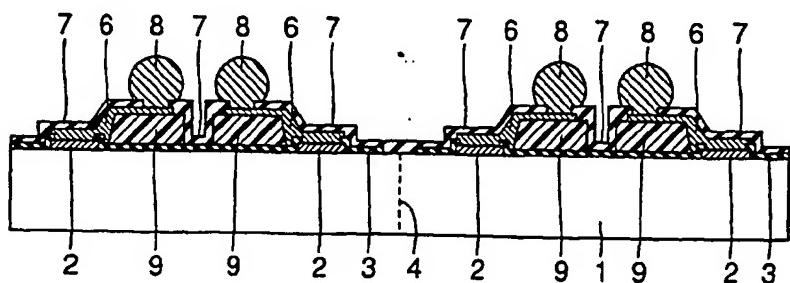


FIG. 15

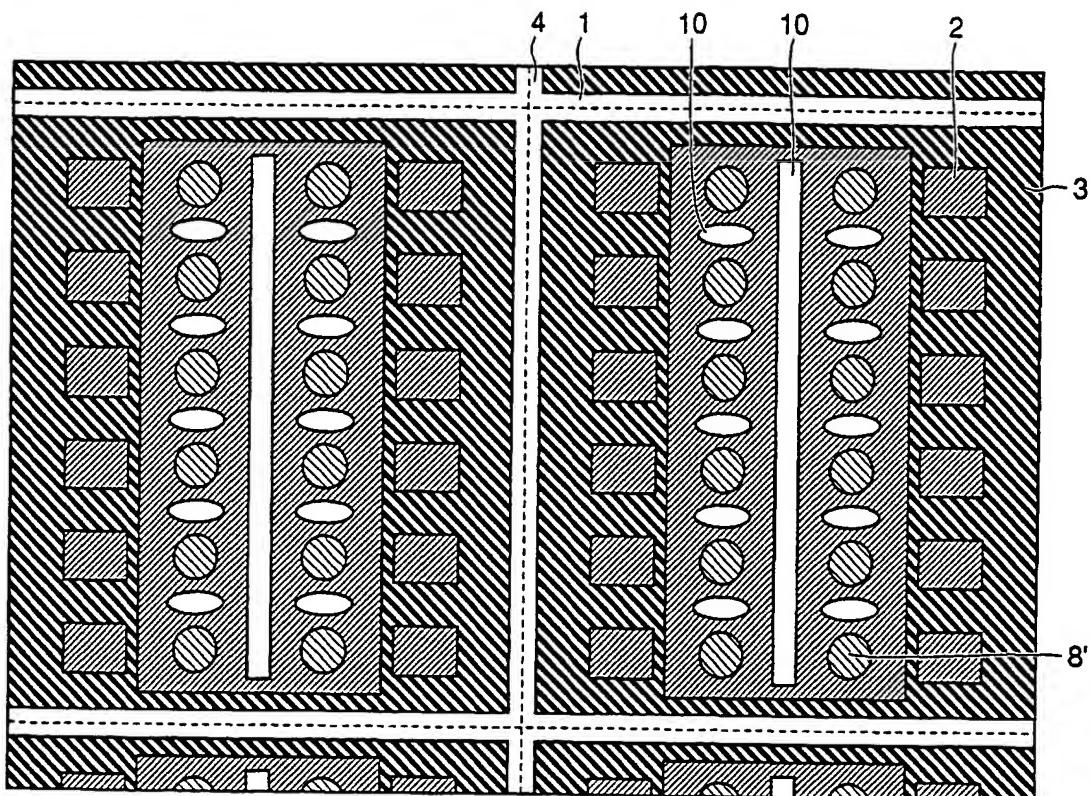
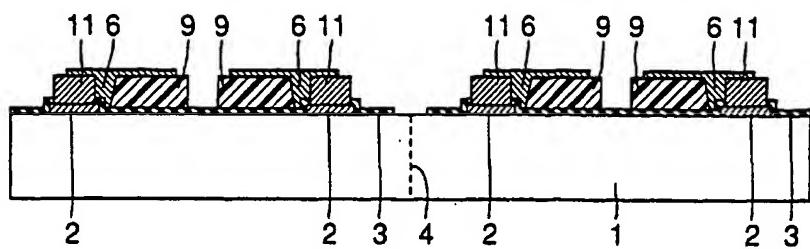


FIG. 16A**FIG. 16B**